

14.01.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2004年 3月 2日

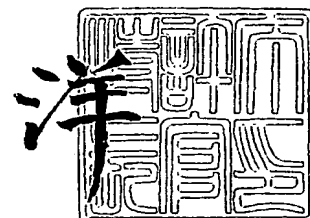
出 願 番 号
Application Number: 特願2004-057260
[ST. 10/C]: [JP2004-057260]

出 願 人
Applicant(s): 松下電器産業株式会社

2005年 2月24日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特2005-3014331

【書類名】 特許願
【整理番号】 2925050050
【提出日】 平成16年 3月 2日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/146
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 森 三佳
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 吉田 真治
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄
【手数料の表示】
 【予納台帳番号】 014409
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0217869

【書類名】 特許請求の範囲**【請求項 1】**

光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、

前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に設けられた素子分離溝の壁部がテーパ状に加工されていることを特徴とする固体撮像装置。

【請求項 2】

光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、

前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に設けられた素子分離溝の壁面が前記半導体基板の表面に対して 110° 以上で且つ 130° 以下の角度を持つことを特徴とする固体撮像装置。

【請求項 3】

前記光電変換部の導電型が n 型である場合、前記光電変換部となる前記半導体基板のうち前記素子分離溝と接する領域の少なくとも一部分には p 型半導体層が設けられており、

前記光電変換部の導電型が p 型である場合、前記光電変換部となる前記半導体基板のうち前記素子分離溝と接する領域の少なくとも一部分には n 型半導体層が設けられていることを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 4】

前記撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、

前記周辺回路領域及び前記撮像領域において同じ素子分離構造が用いられていることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

前記撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、

前記周辺回路領域及び前記撮像領域において異なる素子分離構造が用いられていることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 6】

前記周辺回路領域に設けられるトランジスタは n 型 MOS トランジスタのみであるか又は p 型 MOS トランジスタのみであることを特徴とする請求項 4 又は 5 に記載の固体撮像装置。

【請求項 7】

前記周辺回路領域に設けられるトランジスタは CMOS トランジスタであることを特徴とする請求項 4 又は 5 に記載の固体撮像装置。

【請求項 8】

請求項 1 ～ 7 のいずれか 1 項に記載の固体撮像装置を用いることを特徴とするカメラ。

【請求項 9】

光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置の製造方法であって、

前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に素子分離溝を形成する工程において、前記素子分離溝の壁部をテーパ状に加工することを特徴とする固体撮像装置の製造方法。

【請求項 10】

光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置の製造方法であって、

前記半導体基板における前記光電変換部同士の間及び前記光電変換部と前記活性領域との間に素子分離溝を形成する工程において、前記素子分離溝の壁面と前記半導体基板の表面との間の角度を 110° 以上で且つ 130° 以下にすることを特徴とする固体撮像装置

の製造方法。

【請求項 11】

前記素子分離溝を形成する工程よりも前に、前記半導体基板上に第1の絶縁膜及び該第1の絶縁膜と異なる種類の第2の絶縁膜を順次堆積した後、前記第1の絶縁膜及び前記第2の絶縁膜をパターニングする工程を備え、

前記素子分離溝を形成する工程は、パターニングされた前記第1の絶縁膜及び前記第2の絶縁膜をマスクとして前記半導体基板に対してエッチングを行なう工程を含むことを特徴とする請求項9又は10に記載の固体撮像装置の製造方法。

【請求項 12】

前記半導体基板に対してエッチングを行なう工程において、酸素ガスの流量を塩素ガスの流量の5%以下に設定することを特徴とする請求項11に記載の固体撮像装置の製造方法。

【請求項 13】

前記光電変換部の導電型がn型である場合、前記素子分離溝を形成する工程よりも後に、前記光電変換部となる前記半導体基板のうち前記素子分離溝と接する領域の少なくとも一部分にp型半導体層を形成する工程を備え、

前記光電変換部の導電型がp型である場合、前記素子分離溝を形成する工程よりも後に、前記光電変換部となる前記半導体基板のうち前記素子分離溝と接する領域の少なくとも一部分にn型半導体層を形成する工程を備えていることを特徴とする請求項9～12のいずれか1項に記載の固体撮像装置の製造方法。

【請求項 14】

前記固体撮像装置は、前記撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、

前記周辺回路領域及び前記撮像領域において同時に素子分離構造を設けることを特徴とする請求項9～13のいずれか1項に記載の固体撮像装置の製造方法。

【請求項 15】

前記固体撮像装置は、前記撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、

前記周辺回路領域及び前記撮像領域において異なる素子分離構造を設けることを特徴とする請求項9～13のいずれか1項に記載の固体撮像装置の製造方法。

【請求項 16】

前記周辺回路領域に設けられるトランジスタとしてn型MOSトランジスタのみ又はp型MOSトランジスタのみを用いることを特徴とする請求項14又は15に記載の固体撮像装置の製造方法。

【請求項 17】

前記周辺回路領域に設けられるトランジスタとしてCMOSトランジスタを用いることを特徴とする請求項14又は15に記載の固体撮像装置の製造方法。

【請求項 18】

請求項9～17のいずれか1項に記載の固体撮像装置の製造方法を用いることを特徴とするカメラの製造方法。

【書類名】明細書

【発明の名称】固体撮像装置及び製造方法

【技術分野】

【0001】

本発明は、固体撮像装置及び製造方法に関し、特に素子分離領域の製造方法に関する。

【背景技術】

【0002】

MOS型の固体撮像装置は、各画素に形成されたMOSトランジスタを含む増幅回路を用いることにより、各画素の信号を増幅して読み出すイメージセンサである。近年、このような固体撮像装置は、特に、CMOS (complementary MOS) プロセスによって製造される、いわゆるCMOSイメージセンサは、動作電圧及び消費電力が低く且つ周辺回路と共にワン・チップ化できるという長所を有するため、PC用小型カメラ等の携帯機器の画像入力素子として注目されている。

【0003】

図3は、従来の固体撮像装置の構成の一例を示す図である。

【0004】

図3に示すように、固体撮像装置は、複数の画素20が2次元状に配列された撮像領域30と、撮像領域を動作させるための駆動回路を含む周辺回路領域（画素選択のための垂直シフトレジスタ31及び水平シフトレジスタ32並びに各シフトレジスタ31及び32に必要なパルスを供給するタイミング発生回路33等）とを同一の半導体基板上に備えている。また、撮像領域30の各画素20は、光電変換部21と4個のMOSトランジスタ（転送用トランジスタ22、リセット用トランジスタ23、増幅用トランジスタ24及び選択用トランジスタ25）とから構成されている。

【0005】

ところで、MOS型の固体撮像装置の撮像領域30においては、LOCOS (local oxidation of silicon) 又はSTI (shallow trench isolation) を用いて素子分離領域が設けられるため、窒化膜等から生じる膜ストレスや高温での長時間の熱処理工程に起因して欠陥が発生する。この欠陥は暗電流や白キズの発生原因となる。また、LOCOSを用いて素子分離領域を設けた場合には、バースピーク幅が長くなるため、撮像領域30の微細化が困難になる。一方、STIを用いて素子分離領域を設けた場合には、埋め込み酸化膜による応力が発生する。

【0006】

以上のような固体撮像装置の素子分離形成に特有の問題を解決する方法として、特許文献1に記載された従来技術がある。この従来技術について図4(a)～(f)を参照しながら説明する。図4(a)～(f)は、従来の固体撮像装置の製造方法における素子分離形成の各工程を示す断面図である。

【0007】

まず、図4(a)に示すように、半導体基板51の上に、ゲート絶縁膜52として厚さ0.1 μ mのSiO₂膜を熱酸化により形成した後、ゲート絶縁膜52を介して半導体基板51に対してイオン注入を行なうことによって、チャネルストッパ53、光電変換部54及びドレイン領域55を形成する。

【0008】

次に、図4(b)に示すように、ゲート絶縁膜52の上に、厚さ約0.3 μ mのCVD (chemical vapor deposition) 酸化膜56を堆積する。

【0009】

次に、図4(c)に示すように、ゲートチャネル領域57に開口部を持つレジストマスク（図示省略）を用いて、CVD酸化膜56及びゲート絶縁膜52に対してRIE (reactive ion etching) 法によりエッチングを行なう。その後、ゲートチャネル領域57の半導体基板51を再酸化してゲート絶縁膜52を再形成する。

【0010】

次に、図4(d)に示すように、半導体基板51の上に全面に亘ってポリシリコン膜58を堆積した後、ゲートチャネル領域57よりも大きな幅を持つレジストマスク（図示省略）を用いてポリシリコン膜58に対してRIE法によりエッチングを行なう。これにより、図4(e)に示すように、ゲート電極58Aを含むポリシリコン配線パターンが形成される。

【0011】

さらに、図4(f)に示すように、半導体基板51の上に全面に亘って、 SiO_2 等よりなる層間絶縁膜59を堆積した後、層間絶縁膜59にRIE法を用いてド레인領域55に達するホールを形成した後、該ホールに信号線60を埋め込む。

【特許文献1】特開平2000-196057号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

前述の従来の固体撮像装置の製造方法においては、素子分離領域をチャネルストップ注入を用いて形成しているため、素子分離領域の耐圧を十分に確保するためには、素子分離領域の幅を広げる必要がある。また、これに代えて、素子分離領域の幅を狭くしてチャネルストップ注入量を多くすると、ジャンクションリークが増加するという別の問題が生じる。これは、暗電流及び白キズの増加をもたらす。

【0013】

前記に鑑み、本発明は、撮像領域の微細化及び素子分離領域の耐圧確保を容易に実現でき、且つ暗電流の低減及び白キズ数の削減を容易に実現できる固体撮像装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

前記の目的を達成するために、本発明に係る第1の固体撮像装置は、光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、半導体基板における光電変換部同士の間及び光電変換部と活性領域との間に設けられた素子分離溝の壁部がテーパ状に加工されている。

【0015】

第1の固体撮像装置によると、光電変換部同士の間及び光電変換部と活性領域との間に、素子分離領域となる素子分離溝が設けられているため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該素子分離溝の壁部がテーパ状に加工されているため、光電変換部又は活性領域となる半導体基板と素子分離領域との境界に発生する応力を低減できる。従って、光電変換部（例えばフォトダイオード等）又は活性領域（例えばトランジスタのソース領域及びド레인領域等）におけるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。

【0016】

前記の目的を達成するために、本発明に係る第2の固体撮像装置は、光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置であって、半導体基板における光電変換部同士の間及び光電変換部と活性領域との間に設けられた素子分離溝の壁面が半導体基板の表面に対して 110° 以上で且つ 130° 以下の角度を持つ。

【0017】

第2の固体撮像装置によると、光電変換部同士の間及び光電変換部と活性領域との間に、素子分離領域となる素子分離溝が設けられているため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該素子分離溝の壁面が半導体基板の表面に対して 110° 以上で且つ 130° 以下の角度を持つため、光電変換部又は活性領域となる半導体基板の表面と素子分離領域の表面との境界に発生するせん断応力を最小化することができる。従って、光電変換部（例えばフォトダイオード等）又は活性領域（例えばトランジスタのソース領域及びド레인領域等）において、せん断応力に起因して発生する

応力によるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。

【0018】

第1又は第2の固体撮像装置において、光電変換部の導電型がn型である場合、光電変換部となる半導体基板のうち素子分離溝と接する領域の少なくとも一部分にはp型半導体層が設けられており、光電変換部の導電型がp型である場合、光電変換部となる半導体基板のうち素子分離溝と接する領域の少なくとも一部分にはn型半導体層が設けられていることが好ましい。

【0019】

このようにすると、シリコン基板における素子分離領域と接する箇所に生じる界面準位に起因する暗電流を減少させることができる。

【0020】

第1又は第2の固体撮像装置において、撮像領域を動作させるための駆動回路を含む周辺回路領域を前記半導体基板上に備え、周辺回路領域及び撮像領域において同じ素子分離構造が用いられていることが好ましい。

【0021】

このようにすると、固体撮像装置の製造工程を簡単化できる。

【0022】

第1又は第2の固体撮像装置において、撮像領域を動作させるための駆動回路を含む周辺回路領域を半導体基板上に備え、周辺回路領域及び撮像領域において異なる素子分離構造が用いられていることが好ましい。

【0023】

このようにすると、周辺回路領域に設けられる素子分離領域を、撮像領域に設けられる素子分離領域よりも小さくできるので、周辺回路領域の面積を削減することができる。

【0024】

第1又は第2の固体撮像装置において周辺回路領域を設ける場合、周辺回路領域に設けられるトランジスタはn型MOSトランジスタのみであるか又はp型MOSトランジスタのみであることが好ましい。

【0025】

このようにすると、固体撮像装置の製造に必要な不純物注入工程を削減できるので、工程短縮が可能になる。

【0026】

第1又は第2の固体撮像装置において周辺回路領域を設ける場合、周辺回路領域に設けられるトランジスタはCMOSトランジスタであることが好ましい。

【0027】

このようにすると、高速電荷読み出しが可能な固体撮像装置を実現できる。

【0028】

本発明に係るカメラは、本発明に係る第1又は第2の固体撮像装置を用いたカメラであるので、高解像度の撮像を行なうことができる。

【0029】

本発明に係る第1の固体撮像装置の製造方法は、光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置の製造方法であって、半導体基板における光電変換部同士の間及び光電変換部と活性領域との間に素子分離溝を形成する工程において、素子分離溝の壁部をテーパ状に加工する。

【0030】

第1の固体撮像装置の製造方法によると、光電変換部同士の間及び光電変換部と活性領域との間に、素子分離領域となる素子分離溝を形成するため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該素子分離溝の壁部をテーパ状に加工するため、光電変換部又は活性領域となる半導体基板と素子分離領域との境界に発生する応力を低減できる。従って、光電変換部（例えばフォトダイオード等）又は活性領域（例

例えばトランジスタのソース領域及びドレイン領域等)におけるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。

【0031】

本発明に係る第2の固体撮像装置の製造方法は、光電変換部と活性領域とをそれぞれ有する複数の単位画素が配列された撮像領域を半導体基板上に備えた固体撮像装置の製造方法であって、半導体基板における光電変換部同士の間及び光電変換部と活性領域との間に素子分離溝を形成する工程において、素子分離溝の壁面と半導体基板の表面との間の角度を 110° 以上で且つ 130° 以下にする。

【0032】

第2の固体撮像装置の製造方法によると、光電変換部同士の間及び光電変換部と活性領域との間に、素子分離領域となる素子分離溝を形成するため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該素子分離溝の壁面と半導体基板の表面との間の角度を 110° 以上で且つ 130° 以下にするため、光電変換部又は活性領域となる半導体基板の表面と素子分離領域の表面との境界に発生するせん断応力を最小化することができる。従って、光電変換部(例えばフォトダイオード等)又は活性領域(例えばトランジスタのソース領域及びドレイン領域等)において、せん断応力に起因して発生する応力によるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。

【0033】

第1又は第2の固体撮像装置の製造方法において、素子分離溝を形成する工程よりも前に、半導体基板上に第1の絶縁膜及び該第1の絶縁膜と異なる種類の第2の絶縁膜を順次堆積した後、第1の絶縁膜及び第2の絶縁膜をパターニングする工程を備え、素子分離溝を形成する工程は、パターニングされた第1の絶縁膜及び第2の絶縁膜をマスクとして半導体基板に対してエッチングを行なう工程を含んでいてもよい。この場合、半導体基板に対してエッチングを行なう工程において、酸素ガスの流量を塩素ガスの流量の5%以下に設定することが好ましい。このようにすると、素子分離溝の壁部を確実にテーパ状に加工することができる。

【0034】

第1又は第2の固体撮像装置の製造方法において、光電変換部の導電型がn型である場合、素子分離溝を形成する工程よりも後に、光電変換部となる半導体基板のうち素子分離溝と接する領域の少なくとも一部分にp型半導体層を形成する工程を備え、光電変換部の導電型がp型である場合、素子分離溝を形成する工程よりも後に、光電変換部となる半導体基板のうち素子分離溝と接する領域の少なくとも一部分にn型半導体層を形成する工程を備えていることが好ましい。

【0035】

このようにすると、シリコン基板における素子分離領域と接する箇所に生じる界面準位に起因する暗電流を減少させることができる。

【0036】

第1又は第2の固体撮像装置の製造方法において、固体撮像装置は、撮像領域を動作させるための駆動回路を含む周辺回路領域を半導体基板上に備え、周辺回路領域及び撮像領域において同時に素子分離構造を設けることが好ましい。

【0037】

このようにすると、製造工程の短縮が可能になる。

【0038】

第1又は第2の固体撮像装置の製造方法において、固体撮像装置は、撮像領域を動作させるための駆動回路を含む周辺回路領域を半導体基板上に備え、周辺回路領域及び撮像領域において異なる素子分離構造を設けることが好ましい。

【0039】

このようにすると、周辺回路領域に設けられる素子分離領域を、撮像領域に設けられる素子分離領域よりも小さくできるので、周辺回路領域の面積を削減することができる。

【0040】

第1又は第2の固体撮像装置の製造方法において、周辺回路領域に設けられるトランジスタとしてn型MOSトランジスタのみ又はp型MOSトランジスタのみを用いることが好ましい。

【0041】

このようにすると、固体撮像装置の製造に必要な不純物注入工程を削減できるので、工程短縮が可能になる。

【0042】

第1又は第2の固体撮像装置の製造方法において、周辺回路領域に設けられるトランジスタとしてCMOSトランジスタを用いることが好ましい。

【0043】

このようにすると、高速電荷読み出しが可能な固体撮像装置を実現できる。

【0044】

本発明に係るカメラの製造方法は、本発明に係る第1又は第2の固体撮像装置の製造方法を用いたカメラの製造方法であるので、高解像度の撮像が可能なカメラを実現することができる。

【発明の効果】

【0045】

本発明によると、光電変換部同士の間及び光電変換部と活性領域との間に、壁部がテーパ状に加工された素子分離溝を設けるため、撮像領域を微細化しながら十分な素子分離圧を得ることができると共に半導体基板と素子分離領域との境界に発生する応力を低減することができる。すなわち、ハンプ特性を向上させ、それにより暗電流の低減及び白キズ数の削減を実現することができる。

【発明を実施するための最良の形態】

【0046】

以下、本発明の一実施形態に係る固体撮像装置及びその製造方法について図面を参照しながら説明する。尚、本実施形態は、暗電流及び白キズ数との間に密接な関係を有する素子分離領域（光電変換部（フォトダイオード等）同士の間素子分離領域又は光電変換部と活性領域（トランジスタのソース領域及びドレイン領域等）との間の素子分離領域）の構造及びその形成工程に特徴を有するものであり、素子分離領域以外の他の構成要素については、例えば図3に示す従来の固体撮像装置と同様である。

【0047】

図1(a)～(e)は、本実施形態の固体撮像装置の製造方法の各工程を示す断面図である。

【0048】

まず、図1(a)に示すように、例えばシリコンよりなる半導体基板1の上に、第1の絶縁層であるパッド絶縁層2と第2の絶縁層である耐酸化性層3との積層体を形成する。その後、パッド絶縁層2と耐酸化性層3との積層体をパターンニングする。具体的には、該積層体における所定の領域つまり素子分離領域の上側に形成されている部分を除去して開口部を設ける。ここで、パッド絶縁層2は例えば厚さ1～50nm程度のシリコン酸化膜であり、耐酸化性層3は例えば厚さ50～400nm程度のシリコン窒化膜である。本実施形態では、耐酸化性層3として、シリコン窒化膜に代えて、シリコン膜又はシリコン酸窒化膜を用いてもよい。

【0049】

次に、図1(b)に示すように、パターンニングされたパッド絶縁層2及び耐酸化性層3をマスクとして、基板1に対してドライエッチングを行なうことにより、素子分離溝（以下、トレンチと称する）4を形成する。このとき、トレンチ4の壁部をテーパ状に加工することにより、素子分離領域における局所的な応力の削減を行なう。また、後述するように、トレンチ4の壁面と基板1の表面との間の角度（テーパ角度 θ ）は 110° 以上で且つ 130° 以下であることが望ましい。

【0050】

具体的には、基板1に対してドライエッチングを行なう際に、酸素ガスの流量を塩素ガス（塩素含有ガスでもよい）の流量の5%以下に設定する。このようにすると、トレンチ4の形成時にトレンチ4の壁面に、エッチングに起因して発生した反応生成物を付着させることができるので、トレンチ4の壁部をテーパ状に加工することができる。尚、前述のドライエッチングの後、トレンチ4の壁面に付着した反応生成物をウェットエッチングによって除去する。

【0051】

次に、基板1におけるトレンチ4の近傍部分にp型の不純物を注入する。このとき、界面準位によって生じる暗電流に起因する電子を束縛できるように、注入エネルギー及び注入量を調節する。具体的には、本実施形態では、 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ 程度の注入量及び5 keV \sim 50 keV程度の注入エネルギーでB（ボロン）原子の注入を行なう。

【0052】

次に、図1（c）に示すように、トレンチ4の壁部となる基板1に対して熱酸化を行なうことにより、内壁熱酸化膜5を形成した後、トレンチ4が埋まるように基板1の上に全面に亘って絶縁膜6を堆積する。ここで、絶縁膜6としては、シリコン酸化膜又はシリコン酸窒化膜を用いることができる。

【0053】

次に、図1（d）に示すように、耐酸化性層3を研磨ストッパ層としてCMP（chemical mechanical polishing）法を用いて絶縁膜6に対して研磨を行なうことにより、トレンチ4に素子分離絶縁膜7を形成する。

【0054】

次に、図1（e）に示すように、耐酸化性層3（及びパッド絶縁層2の一部）をウェットエッチングによって除去する。これにより、素子分離領域よりも狭い幅を持つトレンチ4に素子分離絶縁膜7が埋め込まれた素子分離構造を形成できるので、低応力と十分な素子分離耐圧とを実現できる。その後、基板1におけるトレンチ4つまり素子分離領域に挟まれた各部分に、撮像領域の各画素を構成する光電変換部（例えばフォトダイオード）8及び活性領域（例えばトランジスタのソース領域及びドレイン領域）9を形成する。

【0055】

以上に説明したように、本実施形態によると、光電変換部8同士の間及び光電変換部8と活性領域9との間に、素子分離領域となるトレンチ4が設けられているため、撮像領域を微細化しながら、十分な素子分離耐圧を得ることができる。また、該トレンチ4の壁部がテーパ状に加工されているため、光電変換部8又は活性領域9となる基板1とトレンチ4（つまり素子分離領域）との境界に発生する応力を低減できる。従って、光電変換部8（例えばフォトダイオード等）又は活性領域9（例えばトランジスタのソース領域及びドレイン領域等）におけるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。

【0056】

図2は、トレンチ4に素子分離絶縁膜7が埋め込まれてなる本実施形態の素子分離構造と基板1との境界に生じる応力（残留応力）の、トレンチ角度（ $=180^\circ$ - テーパ角度 θ ）に対する依存性をシミュレーションした結果を示す図である。尚、本実施形態では、図1（e）に示すように、基板1の主面と平行な方向をx方向、基板1の主面に対して垂直な方向をy方向と定義する。ここで、光電変換部8に加わる応力としては、その両側の素子分離絶縁膜7から受ける圧縮応力とせん断応力とがある。圧縮応力は、素子分離絶縁膜7がx方向に体積膨張する際に光電変換部8に対してx方向に加わる力であり、図2において、この力を S_{xx} と記す。また、せん断応力は、素子分離絶縁膜7がx方向に体積膨張する際に光電変換部8に対してy方向に加わる力、つまり光電変換部8を押し上げる力であり、図2において、この力を S_{xy} と記す。このような S_{xx} 及び S_{xy} が際だって高い値を示す箇所として、図1（e）に示す光電変換表面部15と光電変換底部16と

がある。すなわち、図2は、光電変換表面部15での S_{xx} 及び S_{xy} のそれぞれのピーク値である $S_{xx}(top)$ 及び $S_{xy}(top)$ 、並びに光電変換底部16での S_{xx} 及び S_{xy} のそれぞれのピーク値である $S_{xx}(bottom)$ 及び $S_{xy}(bottom)$ を様々なトレンチ角度についてプロットした結果を示している。

【0057】

図2に示すように、テーパ角度 θ が $110^\circ \sim 130^\circ$ の範囲において、素子分離構造の表面部と基板1の表面部との境界に生じる応力がより軽減されている。すなわち、この範囲において、光電変換部8又は活性領域9となる基板1の表面部と素子分離構造の表面との境界におけるせん断応力を最小化できるので、光電変換部8又は活性領域9において、せん断応力に起因して発生する応力によるリーク電流を減少させることができると共に、暗電流の低減及び白キズ数の削減を実現することができる。具体的には、100万画素、出力10mV以上の固体撮像装置において、トレンチ4の壁部がテーパ化された本実施形態の素子分離構造と、壁部がテーパ化されていない従来のSTI構造とをそれぞれ用いた場合、従来のSTI構造では白キズ数が約10000個にも達するのに対して、本実施形態の素子分離構造では白キズ数を約5000個以下に低減できる。さらに、本実施形態の素子分離構造においてテーパ角度 θ を $110^\circ \sim 130^\circ$ に設定した場合には白キズ数を約1000個に抑制することができる。

【0058】

尚、本実施形態において、光電変換部8の導電型がn型である場合には、トレンチ4の形成後に、光電変換部8となる基板1のうちトレンチ4と接する領域の少なくとも一部分にp型半導体層を設けることが好ましく、光電変換部8の導電型がp型である場合には、トレンチ4の形成後に、光電変換部8となる基板1のうちトレンチ4と接する領域の少なくとも一部分にn型半導体層を設けることが好ましい。このようにすると、基板1における素子分離領域と接する箇所に生じる界面準位に起因する暗電流を減少させることができる。

【0059】

また、本実施形態において、固体撮像装置が、撮像領域を動作させるための駆動回路を含む周辺回路領域を基板1上に備えている場合、周辺回路領域及び撮像領域において同時に素子分離構造を設けてもよい。言い換えると、周辺回路領域及び撮像領域において同一の素子分離構造（トレンチ4の壁部がテーパ化された本実施形態の素子分離構造）を設けてもよい。このようにすると、製造工程の短縮が可能になる。

【0060】

また、本実施形態において、固体撮像装置が、撮像領域を動作させるための駆動回路を含む周辺回路領域を基板1上に備えている場合、周辺回路領域及び撮像領域において異なる素子分離構造を設けてもよい。このようにすると、周辺回路領域に設けられる素子分離領域を、撮像領域に設けられる素子分離領域よりも小さくできるので、周辺回路領域の面積を削減することができる。

【0061】

また、本実施形態において、固体撮像装置が、撮像領域を動作させるための駆動回路を含む周辺回路領域を基板1上に備えている場合、周辺回路領域に設けられるトランジスタとしてn型MOSトランジスタのみ又はp型MOSトランジスタのみを用いてもよい。このようにすると、固体撮像装置の製造に必要な不純物注入工程を削減できるので、工程短縮が可能になる。

【0062】

また、本実施形態において、固体撮像装置が、撮像領域を動作させるための駆動回路を含む周辺回路領域を基板1上に備えている場合、周辺回路領域に設けられるトランジスタとしてCMOSトランジスタを用いてもよい。このようにすると、高速電荷読み出しが可能な固体撮像装置を実現できる。

【0063】

また、本実施形態において、基板1としてシリコン基板を用いたが、これに代えて、G

a A s 等の他の材料よりなる半導体基板を用いた場合にも、本実施形態と同様の素子分離形成を行なうことができる。

【0 0 6 4】

また、本実施形態の固体撮像装置をカメラに組み込むことにより、又はカメラを構成する固体撮像装置の製造に本実施形態の方法を用いることにより、高解像度の撮像が可能なカメラを実現することができる。

【産業上の利用可能性】

【0 0 6 5】

本発明は、固体撮像装置及びその製造方法に関し、イメージセンサデバイス等に適用した場合に特に有用である。

【図面の簡単な説明】

【0 0 6 6】

【図 1】 (a) ~ (e) は本発明の一実施形態に係る固体撮像装置の製造方法の各工程を示す断面図である。

【図 2】 本発明の一実施形態に係る固体撮像装置における素子分離構造と基板との境界に生じる応力（残留応力）のトレンチ角度に対する依存性をシミュレーションした結果を示す図である。

【図 3】 従来の固体撮像装置の構成の一例を示す図である。

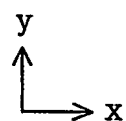
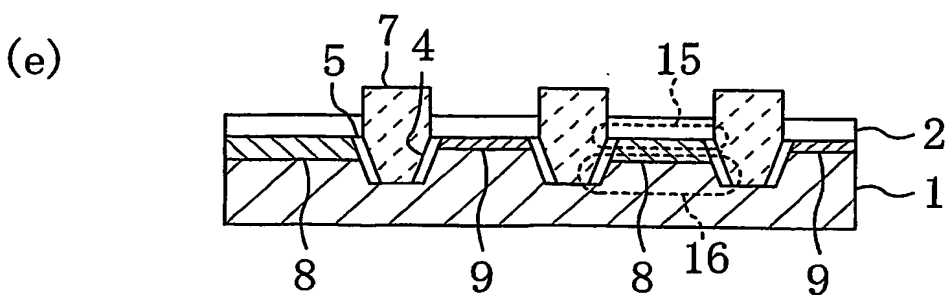
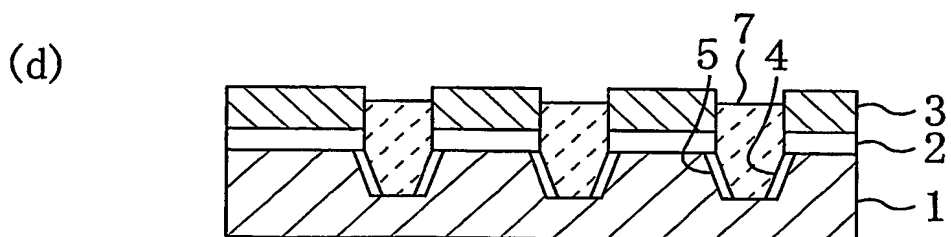
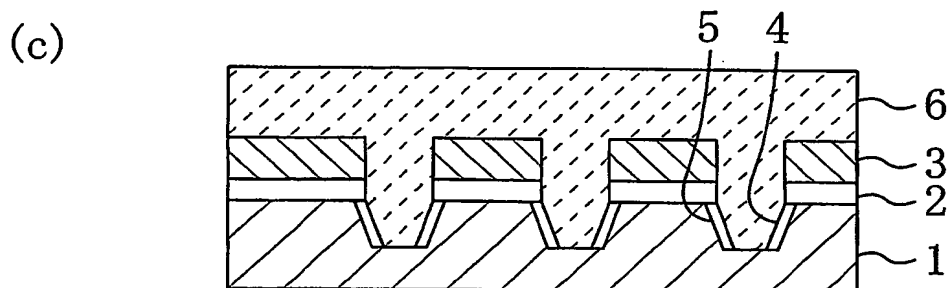
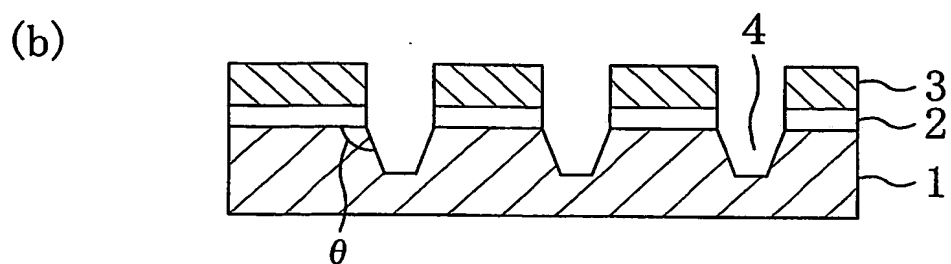
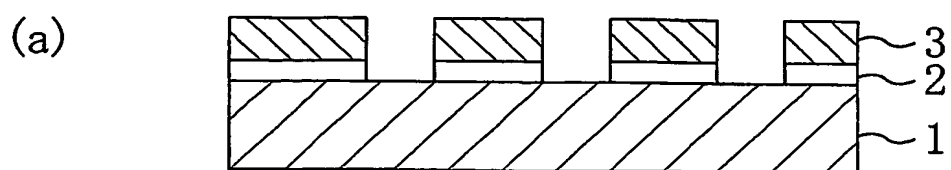
【図 4】 従来の固体撮像装置の製造方法の各工程を示す断面図である。

【符号の説明】

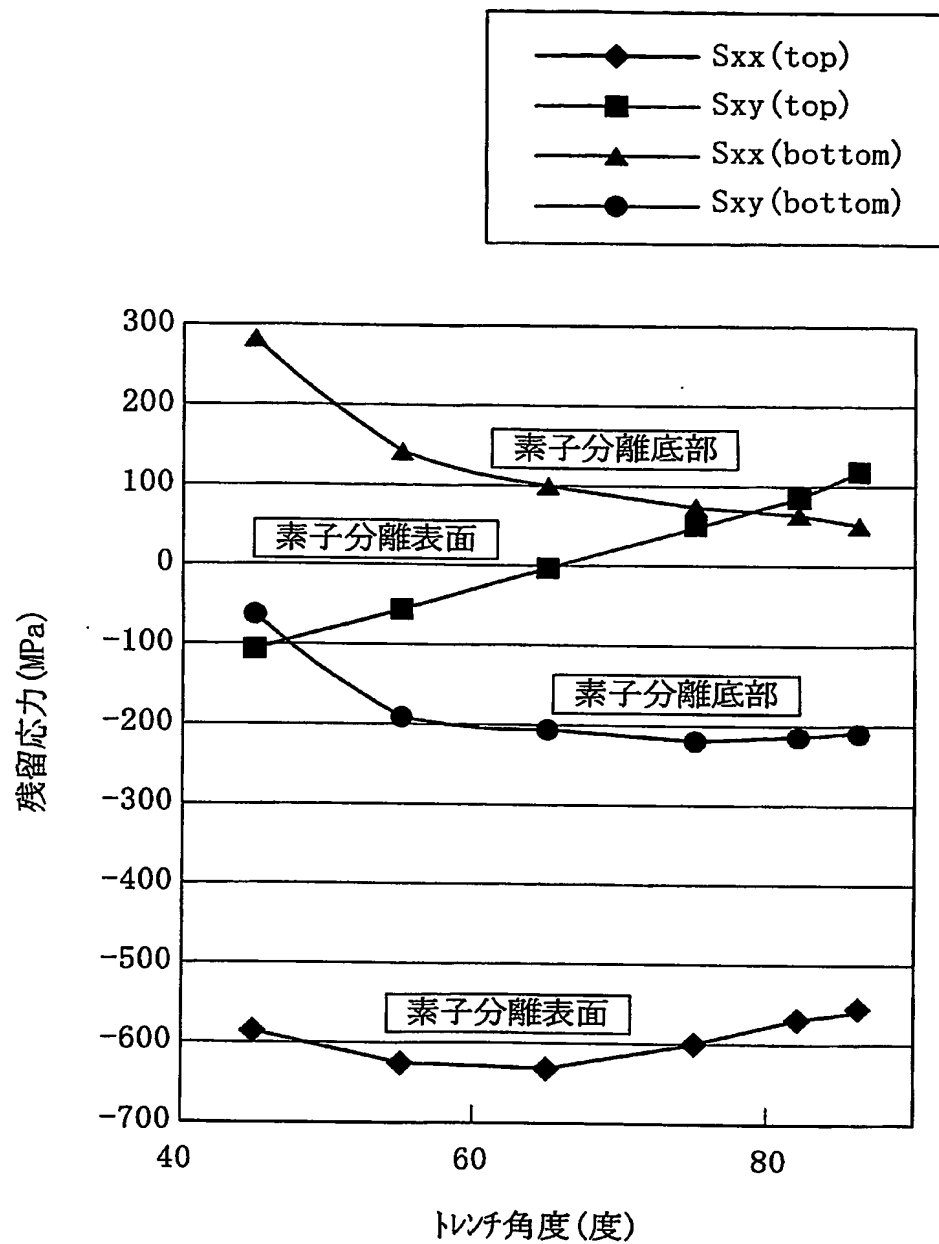
【0 0 6 7】

- 1 基板
- 2 パッド絶縁層
- 3 耐酸化性層
- 4 トレンチ
- 5 内壁熱酸化膜
- 6 絶縁膜
- 7 素子分離絶縁膜
- 8 光電変換部
- 9 活性領域
- 1 5 光電変換表面部
- 1 6 光電変換底部
- x 基板主面と平行な方向
- y 基板主面に対して垂直な方向

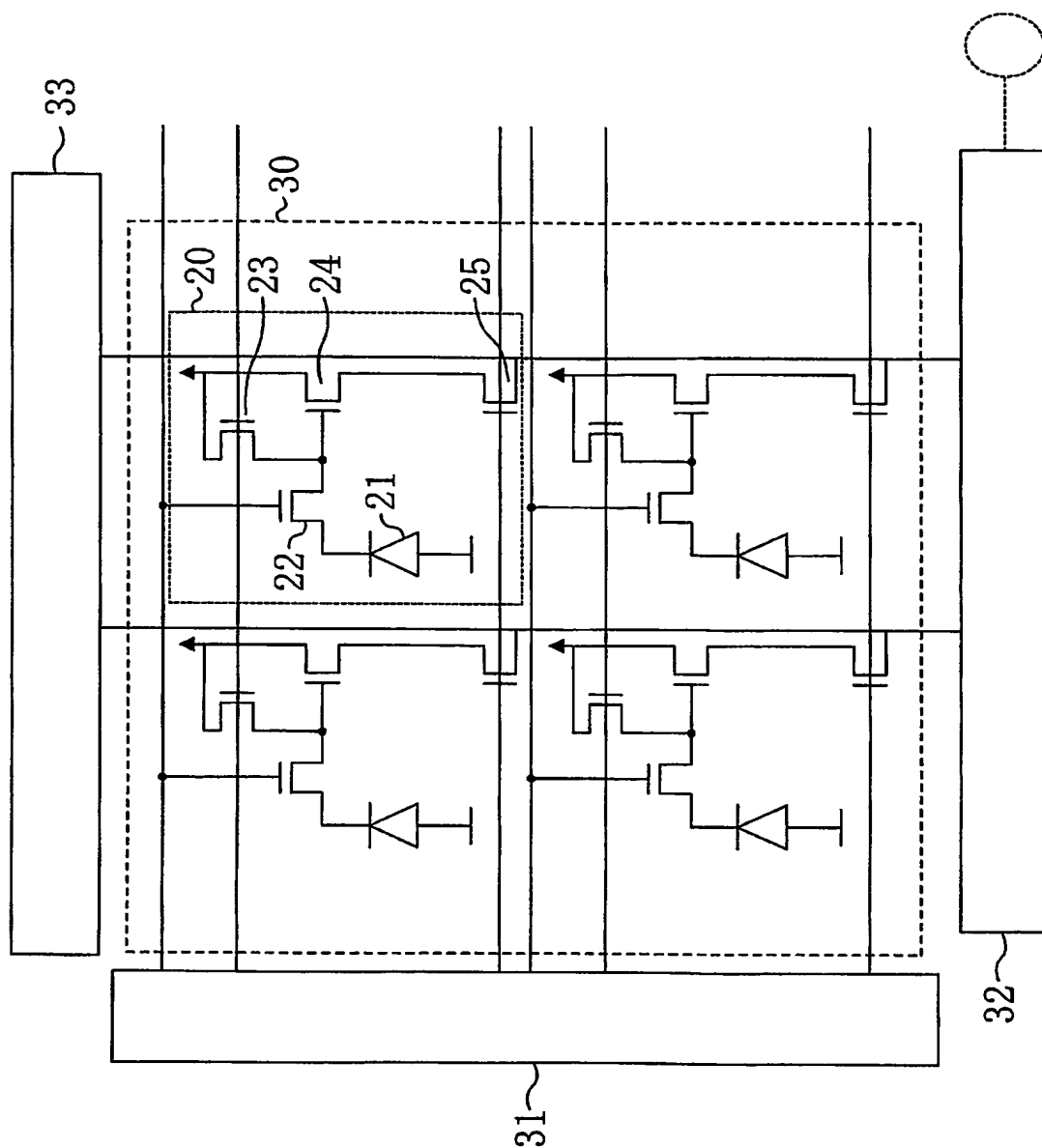
【書類名】 図面
【図 1】



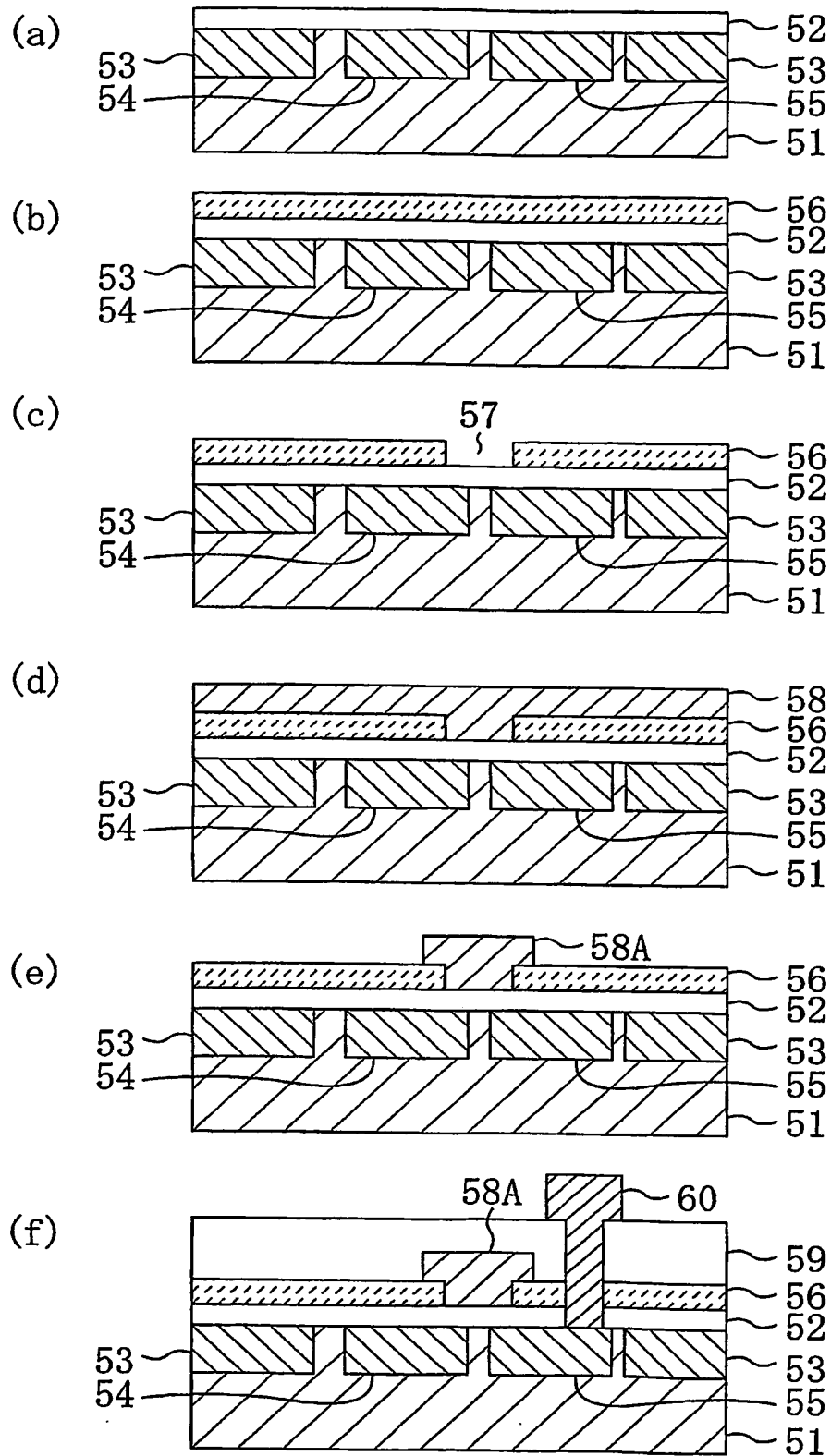
【図 2】



【図 3】



【図 4】



【書類名】要約書

【要約】

【課題】 撮像領域の微細化及び素子分離領域の耐圧確保を実現でき、且つ暗電流の低減及び白キズ数の削減を実現できる固体撮像装置及びその製造方法を提供する。

【解決手段】 基板 1 における光電変換部 8 同士の間及び光電変換部 8 と活性領域 9 との間にトレンチ 4 を形成する際に、トレンチ 4 の壁部をテーパ状に加工する。好ましくは、トレンチ 4 の壁面と基板 1 の表面との間の角度を 110° 以上で且つ 130° 以下にする。

【選択図】 図 1 .

特願 2004-057260

出願人履歴情報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000129

International filing date: 07 January 2005 (07.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-057260
Filing date: 02 March 2004 (02.03.2004)

Date of receipt at the International Bureau: 10 March 2005 (10.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse